

**DATA PROCESSING METHOD FOR GENERATING ERROR CORRECTION PRODUCT CODE BLOCK, DATA PROCESSING METHOD FOR RECORDING DATA IN RECORDING MEDIUM, AND DATA PROCESSING DEVICE FOR DATA**

Patent Number: ☐ EP0766245, A4

Publication date: 1997-04-02

Inventor(s): FUKUSHIMA YOSHIHISA (JP); HIRAYAMA KOICHI (JP); KOJIMA TADASHI (JP); YUMIBA TAKASHI (JP)

Applicant(s):: MATSUSHITA ELECTRIC IND CO LTD (JP); TOKYO SHIBAURA ELECTRIC CO (JP)

Requested Patent: ☐ WO9632718

Application Number: EP19960908370 19960408

Priority Number(s): WO1996JP00956 19960408; JP19950086874 19950412

IPC Classification: G11B20/12 ; G11B20/18 ; H03M13/00

EC Classification: G11B20/18, H03M13/00P, H03M13/15, H03M13/29B, H03M13/35, H04L1/00B1, H03M13/29

Equivalents: CA2190985, CN1150859, JP3071828B2, KR255105, ☐ US5790569

**Abstract**

There is provided a method of processing data for generating an error correcting product code block devised so as to maintain the current level of redundancy after the error correcting ability is modified as a result of advancement of the technologies of semiconductor and data recording/transmission. Unlike any known technique of configuring a Reed-Solomon error correcting product code block of  $(M+P) \times (N+1)$  bytes for an information data of  $(M \times N)$  bytes, an error correcting product code block data structure is obtained by configuring a  $(K \times (M+1) \times (N+P))$ -byte Reed-Solomon error correcting product code block for a  $(K \times M \times N)$ -byte data and making  $K$  variable to consequently make the entire size of the Reed-Solomon error correcting product code block variable and, at the same time, the error correcting ability variable in proportion to the value of  $K$  without increasing the

redundancy.



Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

# 再公表特許 (A 1)

(11)国際公開番号

WO96/32718

発行日 平成9年 (1997) 7月29日

(43)国際公開日 平成8年 (1996) 10月17日

(51)Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

F I

G 1 1 B 20/12

20/18

H 0 3 M 13/00

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

出願番号 特願平8-530869  
(21)国際出願番号 PCT/JP96/00956  
(22)国際出願日 平成8年 (1996) 4月8日  
(31)優先権主張番号 特願平7-86874  
(32)優先日 平7 (1995) 4月12日  
(33)優先権主張国 日本 (J P)  
(81)指定国 EP (AT, BE, CH, DE, ES, FI, FR, GB, IT, LU, NL, SE), CA, CN, JP, KR, MX, SG, VN

(71)出願人 株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(71)出願人 松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 小島 正  
神奈川県横浜市金沢区富岡西4-77-19  
(72)発明者 平山 康一  
神奈川県横浜市戸塚区汲沢1-7-10  
(72)発明者 福島 能久  
大阪府大阪市城東区関目6丁目14番 C-50  
8  
(74)代理人 弁理士 鈴江 武彦 (外3名)

最終頁に続く

(54) [発明の名称] 誤り訂正積符号ブロックを生成するためのデータ処理方法と該データを記録媒体に記録するためのデータ処理方法及び該データの処理装置

## (57) [要約]

半導体や記録・伝送技術の進歩に適合して、冗長率を一定に保ったままでリードソロン誤り訂正積符号ブロック全体の大きさを大きくして誤り訂正能力を高める。従来のように  $(M \times N)$  バイトの情報データに対して  $(M + P) \times (N + P)$  バイトのリードソロン誤り訂正積符号ブロックを構成するのではなく、 $(K \times M \times N)$  バイトの情報データに対して  $(K \times (M + 1) \times (N + P))$  バイトのリードソロン誤り訂正積符号ブロックを構成する (A, B, C) ようにして、Kを変換することでリードソロン誤り訂正積符号ブロック全体の大きさを可変にし、冗長率を増すことなく誤り訂正能力をほぼKに比例して変化させることができるようにした。

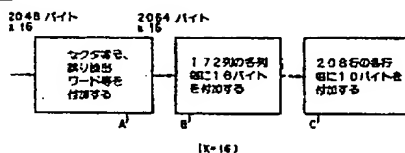


FIG. 2

# (特許請求の範囲)

## (1)

バイト単位でデジタルデータを処理し、1つの情報データブロックをM行×N列の(M×N)バイトで構成し、前記情報データブロック内では、バイト単位でデータを配置し、行毎には第0列から第(N-1)列のデータ伝送順で配置し、かつ第0行から第(M-1)行までデータ伝送順に一致させて配置する第1のステップと、

さらに、データ伝送順に連続するK個の情報データブロックで構成した(K×M)行×N列の行列ブロックを配置する第2のステップと、

この行列ブロックの(K×M)バイトの各列には誤り訂正用検査ワードKバイトを付加し、N列の各列を(K×(M+1))バイトのリードソロモン符号群C2として形成する第3のステップと、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトを付加し、(K×(M+1))行の各行を(N+P)バイトのリードソロモン符号群C1として形成する第4のステップとを有し、

全体のブロックとしては、K個の情報データブロック(K×M×N)バイトを情報部とする(K×(M+1)×(N+P))バイトのリードソロモン誤り訂正符号ブロックが構成され、1情報データブロック(M×N)バイトとこれに付加される平均検査ワードバイト数との合計が、一定値(M+1)×(N+P)バイトになるように構成された誤り訂正符号ブロックを生成することを特徴とするデータ処理方法、

(2)

バイト単位でデジタルデータを処理し、1つの情報データブロックをM行×N列の(M×N)バイトで構成し、前記情報データブロック内では、バイト単位でデータを配置し、行毎には第0列から第(N-1)列のデータ伝送順で配置し、かつ第0行から第(M-1)行までデータ伝送順に一致させて配置する第1のステップと、

さらに、データ伝送順に連続するK個の情報データブロックで構成した(K×

M)行×N列の行列ブロックを配置する第2のステップと、

この行列ブロックの(K×M)バイトの各列には誤り訂正用検査ワードKバイトを付加し、N列の各列を(K×(M+1))バイトのリードソロモン符号群C2として形成する第3のステップと、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトを付加し、(K×(M+1))行の各行を(N+P)バイトのリードソロモン符号群C1として形成する第4のステップとを有し、

全体のブロックとしては、K個の情報データブロック(K×M×N)バイトを情報部とする(K×(M+1)×(N+P))バイトのリードソロモン誤り訂正符号ブロックが構成され、1情報データブロック(M×N)バイトとこれに付加される平均検査ワードバイト数との合計が、一定値(M+1)×(N+P)バイトになるように構成された誤り訂正符号ブロックを生成することを特徴とした記録媒体にデータを記録するためのデータ処理方法、

## (3)

前記第3のステップでは、(K×M)バイトの各列の末尾に誤り訂正用検査ワードKバイトを付加し、N列の各列が、前記(K×(M+1))バイトのリードソロモン符号群C2を形成するようにした後に、列毎に、Kバイトの誤り訂正用検査ワードを情報データMバイト毎の位置に1バイトずつ分散配置しなおしたことを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

## (4)

前記第3のステップでは、(K×M)バイトの各列毎に付加する誤り訂正用検査ワードKバイトの各バイト位置が、Mバイト毎に1バイトの位置となるようにして前記(K×(M+1))バイトのリードソロモン符号群C2を形成するようにしたことを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

## (5)

前記M×Nが2054以上2064以下、前記Kが12以上の偶数、前記Pが10以上の偶数、前記K×(M+1)が255以下、前記N+Pが255以下であることを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

## (6)

前記M=12、N=172、K=16、P=10であるこ

とを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

## (7)

前記M=12、N=172、K=12、P=10であることを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

## (8)

前記M=12、N=172、K=18、P=10であることを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

## (9)

前記誤り訂正符号ブロックデータが記録されていることを特徴とする請求項2記載の記録媒体、

## (10)

前記誤り訂正符号ブロックデータの前記(M×N)バイトの1つの情報データブロックが1セクタに対応されて記録されていることを特徴とする請求項2記載の記録媒体、

## (11)

バイト単位でデジタルデータの処理が行われ、1つの情報データブロックがM行×N列の(M×N)バイトで構成され、

前記情報データブロック内は、バイト単位でデータが配置されるもので、行毎には第0列から第(N-1)列のデータ伝送順で配置され、かつ第0行から第(M-1)行までデータ伝送順に一致させて配置され、

さらに、データ伝送順に連続するK個の情報データブロック

で構成される(K×M)行×N列の行列ブロックが配置され、

この行列ブロックの(K×M)バイトの各列には誤り訂正用検査ワードKバイトが付加され、そしてN列の各列が(K×(M+1))バイトのリードソロモン符号群C2として形成され、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトが付加され、(K×(M+1))行の各行が(N+P)バイトのリードソロモン符号群C1として形成され、

全体としてブロックとしては、K個の情報データブロック(K×M×N)バイトを情報部とする(K×(M+1)×(N+P))バイトのリードソロモン誤り訂正符号ブロックが構成され、1情報データブロック(M×N)バイトとこれに付加される平均検査ワードバイト数との合計が、一定値(M+1)×(N+P)バイトになるように構成された誤り訂正符号ブロックを処理する手段を有したことと特徴とするデータ処理装置、

## (12)

前記誤り訂正符号ブロックを処理する手段は、通信装置又はディスクへのデータ記録装置又は誤り訂正処理装置のいずれかに設けられていることを特徴とする請求項11記載のデータ処理装置、

## 〔発明の詳細な説明〕

誤り訂正符号ブロックを生成するためのデータ処理方法及び該データを記録媒体に記録するためのデータ処理方法及び該データの処理装置

## 技術分野

この発明はデジタルデータの記録・伝送に用いて好適な誤り訂正符号ブロックの構成方法に係わり、特に、誤り訂正能力を変更しても冗長率が変わることのないように工夫された誤り訂正符号ブロックを生成するためのデータ処理方法及び該データを記録媒体に記録するためのデータ処理方法及び該データの処理装置に関する。

## 背景技術

1バイトが8ビットのバイト単位でデジタルデータを記録したり伝送したりするシステムにおいては、リードソロン誤り訂正符号ブロックを構成してデータを処理している。即ち、 $(M \times N)$  バイトのデータをM行×N列の行列に配置し、列毎にNバイトの情報部にPバイトの誤り訂正検査ワードを付加し、次に行毎にNバイトの情報部にPバイトの誤り訂正検査ワードを付加して、 $(M+P) \times (N+P)$  列のリードソロン誤り訂正符号ブロックを構成している。そしてこのリードソロン誤り訂正符号ブロックを記録・伝送することにより、再生側や受信側では、ランダム

ム誤り及びバースト誤りを効率的に訂正できる。

このようなリードソロン誤り訂正符号ブロックは、冗長率と言われる符号語全体の大きさ、即ち  $(M+P) \times (N+P)$  に対する誤り訂正検査ワードの冗長部分  $(P \times M + P \times N + P \times P)$  の比率が小さい程効率が高いことになる。一方、P1、P0が大きいためランダム誤りに対してもバースト誤りに対しても訂正能力が高くなる。

ここで同一の冗長率のリードソロン誤り訂正符号ブロックを比較した場合、M、Nが小さく従ってP1、P0も小さいリードソロン誤り訂正符号ブロックの場合には誤り訂正される確率が相対的に増えるために訂正能力が低下することが知られている。

の処理方法及び該データの記録のための処理方法及び該データの処理装置を得ることを目的とする。

上記の目的を達成するためにこの発明の、誤り訂正符号ブロックの生成方法では、 $(K \times M \times N)$  バイトの情報データに対して、 $(K \times (M+1) \times (N+P))$  バイトのリードソロン誤り訂正符号ブロックを構成し、Kを可変することでリードソロン誤り訂正符号ブロック全体の大きさを可変できるようにし、同時に誤り訂正能力をほぼKに比例して変化させることができる誤り訂正符号ブロックデータ構造を得るようにしたものである。

具体的には、バイト単位でデジタルデータの処理し、1つの情報データブロックをM行×N列の  $(M \times N)$  バイトで構成し、前記情報データブロック内では、バイト単位でデータを配置し、行毎には第0列から第  $(N-1)$  列のデータ伝送順で配置し、かつ第0行から第  $(M-1)$  行までデータ伝送順に一致させて配置する第1のステップと、

さらに、データ伝送順に連続するK個の情報データブロックで構成した  $(K \times M) \times N$  列の行列ブロックを配置する第2のステップと、

この行列ブロックの  $(K \times M)$  バイトの各列には誤り訂正検査ワードKバイトを付加し、N列の各列を  $(K \times (M+1))$  バイトのリードソロン符号語C2として形成する第3のステップと、

さらにNバイトの各行毎に誤り訂正検査ワードPバイトを付加し、 $(K \times (M+1))$  行の各行を  $(N+P)$  バイトのリードソロン符号語C1として形成する第4のステップとを有し、

全体のブロックとしては、K個の情報データブロック  $(K \times M \times N)$  バイトを情報部とする  $(K \times (M+1) \times (N+P))$  バイトのリードソロン誤り訂正符号ブロックが構成され、1情報データブロック  $(M \times N)$  バイトとこれに付加される平均検査ワードバイト数との合計が、一定値  $(M+1) \times (N+P)$  バイトになるように構成された誤り訂正符号ブロックを生成するものである。

上記の方法により、1情報データブロック  $(M \times N)$  バイトとこれに付加され

逆にM、Nを大きくすれば同一の冗長率でもP1、P0を大きくできるため高い訂正能力が得られることは知られているものの、以下に述べる制約条件を満たすものでなければ実現できない。

第1に、リードソロン符号語を構成できるための符号語長として、 $M+P0$  及び  $N+P1$  は255バイト以下でなければならないという制約条件がある。

第2にハードウェア規模のコスト上の制約条件がある。この第2の条件に係わる要件は、演算回路や符号語全体の大きさである  $(M+P0) \times (N+P1)$  バイトを格納するメモリのコストである。メモリのコストは半導体技術の進歩により変化するものであるから、上記したリードソロン誤り訂正符号ブロックの諸パラメータ、M、N、P1、P0は、

半導体技術の進歩とリわけメモリコストの低下に適合して、任意に可変できるように考慮しておくことが好ましい。

なぜならば、半導体技術の進歩と同時に記録密度や伝送速度も高くなるため、同じ物理長や時間長の誤りが、より長いバースト誤りバイト数になるので、より高い誤り訂正能力が要求されるようになるからである。

しかしながら従来は、定められた  $(M \times N)$  バイトの情報データに対して  $(M+P0) \times (N+P1)$  バイトのリードソロン誤り訂正符号ブロックを構成するようにしているため、冗長率とブロック全体の大きさは一体の関係になっており、誤り訂正能力を維持しようとすれば、ブロックの大きさを任意に可変することはできなかった。

しかし将来的に見ると、半導体技術の進歩と同時に記録密度や伝送速度も高くなるため、高い誤り訂正能力が要求されるようになり、誤り訂正検査ワードを大きくする必要がある。しかしこの場合、冗長率が大きくなってしまふので好ましくないという課題がある。

## 発明の開示

そこでこの発明は、半導体や記録・伝送技術の進歩に適合して、冗長率を一定に保ったままでリードソロン誤り訂正符号ブロック全体の大きさを大きくして誤り訂正能力を高めることができる、誤り訂正符号ブロックを生成するため

る平均検査ワードバイト数との合計が、誤り訂正符号ブロックを構成する情報データブロックの個数Kに依存しない一定値  $(M+1) \times (N+P)$  バイトになるために、 $(M+1) \times (N+P)$  バイトの冗長率が変わることはない。

またこの発明は上記の誤り訂正符号ブロックを記録するための方法及び記録された記録媒体、及びこのような訂正符号ブロックデータを伝送するための送信装置を提供するものである。

## 図面の簡単な説明

- 図1は従来のリードソロン誤り訂正符号ブロックの構成を示す図。
- 図2はこの発明の一実施例におけるリードソロン誤り訂正符号の生成ブロックを示す図。
- 図3は図2の生成ブロックにより生成されるリードソロン誤り訂正符号ブロックを示す図。
- 図4はこの発明に係わるリードソロン誤り訂正符号ブロックにおけるセクタ構成を示す図。
- 図5はこの発明の他の実施例におけるリードソロン誤り訂正符号の生成ブロックを示す図。
- 図6は図5の生成ブロックにより生成されるリードソロン誤り訂正符号ブロックを示す図。
- 図7はこの発明の他の実施例におけるリードソロン誤り訂正符号の生成ブロックを示す図。
- 図8は図7の生成ブロックにより生成されるリードソロン誤り訂正符号ブロックを示す図。

## 発明を実施するための最良の形態

以下、この発明の実施例を図面を参照して説明する。  
まず、図1は従来のリードソロン誤り訂正符号ブロックの構成を示している。このフォーマットである。先に説明したように、定められた  $(M \times N)$  バイトの情報データに対して  $(M+P0) \times (N+P1)$  バイトのリードソロン誤り訂正符号ブロックを構成するようにしているため、冗長率とブロック全体

の大きさは一様のものであり、誤り訂正能力を維持しようとするれば、ブロックの大きさを任意に変えることはできない。誤り訂正検査ワードを大きくすると、冗長率が大きくなってしまふので好ましくないという課題がある。

そこでこの発明におけるリードソロン誤り訂正符号ブロックは、図2の如く構成される。

第1の実施例では、記録媒体としての光ディスク等に2048バイトを1セクタとして記録する場合に、 $K=16$ 、 $M=12$ 、 $N=172$ 、 $P=10$ としてこの発明を適用した例を説明する。

この実施例は第1に同一訂正能力であれば、偶数の方が効率がよいこと、第2に $P=8$ バイト以下では誤り訂正率が高くなるために $K=16$ 行のバースト誤り訂正能力が維持できなくなること、第3に同一の冗長率でバースト誤り訂正能力を高めるためには $K>P$ でなければならないことから、誤り訂正検査ワード数を符号語C1で $P=10$ バイト、符号語C2で $K=16$ バイトと定めている。また第4に1セクタの大きさは、2048バイトの記録データにセクタ番号やセクタ毎の誤り検出ワードを付加した2048より若干大きなものであるという条件から $M=12$ 、 $N=172$ と定めたものである。

図2には、16セクタを単位とするリードソロン誤り訂正符号ブロックを示している。また図3には、1セクタ内の行構成を示している。

図2のブロックA～Cにおいては、バイト単位でデジタルデータを処理し、1つの情報データブロックを $M(=12)$ 行 $N(=172)$ 列の $(M \times N)$ バイトで構成し、前記情報データブロック内では、バイト単位でデータを配置し、行毎には第0列から第 $(N-1)$ 列のデータ伝送順で配置し、かつ第0行から第 $(M-1)$ 行までデータ伝送順に一致させて配置する第1のステップを有する。さらにデータ伝送順に

連続する $K(=16)$ 個の上記のような情報データブロックで構成した $(K \times M)$ 行 $N$ 列の行列ブロックを配置する第2のステップを有する。

次に、前記行列ブロックの $(K \times M)$ バイトの各列には誤り訂正検査ワード

次に、空白(X)の16行が埋められた208行 $\times$ 172列の各行毎に、誤り訂正検査ワード10バイトを付加して、208行の各行が $(172+10)$ バイトのリードソロン符号語C1を形成するようにして、図3に示す16セクタを単位とするリードソロン誤り訂正符号ブロックを構成する(図2のブロックC参照)。

このブロックの大きさは、208行 $\times$ 182列=

37856バイトであり、現在安価に入手可能なメモリに過度な余裕をもって納まる最適な大きさの実施例になっている。

この16セクタを単位とするリードソロン誤り訂正符号ブロックの冗長率は

$(208 \times 182 - 192 \times 172) / (208 \times 182) = 12.76\%$ であり、訂正可能なバースト誤りの最大長はC2の誤り訂正検査ワード数に相当する行数、即ち16行 $\times$ 182列=2912バイトである。

そして、訂正可能なバースト誤りの最大長はC2の誤り訂正検査ワード数に相当する行数であることから、誤り訂正能力を高めようとする場合には、リードソロン誤り訂正符号ブロックの行数を増やしC2の誤り訂正検査ワード数を増大すればよい。

上記のように、この発明の手法によると、セクタ内の情報配分は、図4に示した構成を維持しているために、冗長率を一定に保っていることになる。

リードソロン誤り訂正符号ブロックの行数を増やしC2の誤り訂正検査ワード数を増大する事態が生じるケースとしては、上記のように誤り訂正能力が高まる場合と、目的の項でも述べたように半導体や記録技術の進歩に適合して、光ディスクのトラックの所定長さあたりの記録密度が高くなった場合が上げられる。このような場合は、ブロックの行数を増やすことによりC2の誤り訂正検査ワード数を増大することができる。情報再生時には上記ブロックの行方向へ情報が

順次ピックアップされていくが、リードソロン誤り訂正符号ブロックを取り込み、誤り訂正を行う場合も同一の冗長率を維持することができる。

$K(=16)$ バイトを付加し、 $N$ 列の各列を $(K \times (M+1))$ バイトのリードソロン符号語C2として形成する第3のステップを有する。

また、 $N$ バイトの各行毎に誤り訂正検査ワード $P(=10)$ バイトを付加し、 $(K \times (M+1))$ 行の各行を $(N+P)$ バイトのリードソロン符号語C1として形成する第4のステップを有する。

全体のブロックとしては、 $K$ 個の情報データブロック $(K \times M \times N)$ バイトを情報部とする $(K \times (M+1) \times (N+P))$ バイトのリードソロン誤り訂正符号ブロックが構成され、1情報データブロック $(M \times N)$ バイトとこれに付加される平均検査ワードバイト数との合計が、一定値 $(M+1) \times (N+P)$ バイトになるように構成された誤り訂正符号ブロックデータが生成される。

以下、図2、図3、図4を参照しながらさらに具体的に説明する。

記録するデータを1セクタ分の2048バイトずつ取り込み、セクタ番号やセクタ毎の誤り検出ワード(16バイト)を付加して2064バイトにする(図2のブロックA参照)。なお、セクタ番号(ID:セクタ識別)やID誤り訂正ワード(EDC)、システム予約コード(RSV)、誤り検出

ワード(EDC)は、図4に示すように合計16バイトである。

そして、この2064バイトは、リードソロン誤り訂正符号ブロックメモリの1セクタ分である $(M+1)$ 行 $\times$  $(N+P)$ 列=13行 $\times$ 182列から、誤り訂正検査ワード格納部分を除いた $M$ 行 $\times$  $N$ 列=12行 $\times$ 172列=2064バイトの部分に格納する。

このようなデータが、 $K=16$ セクタ分、次々とメモリ部に格納される。

次に $K=16$ セクタ分の16行 $\times$ 172列分を格納した後、列毎に172列の各列が $(192+12)$ バイトのリードソロン符号語C2を形成するように演算を行って、16行毎に1行ずつ空白(図3に符号Xで示している部分)になっている16の行を埋める処理を行う(図2のブロックB参照)。

なお埋められる16の行と、リードソロン符号語C2の次数の関係は、16の行位置と次数とが1対1に対応する関係、あるいはC2の15次から0次までの順次順に対応する関係のいずれかとするように、予め取り決めておく。

上記の説明では $K=16$ として説明したが、メモリの大きさによっては $K=12$ として用いてもよいことは勿論である。このようにするとブロックの大きさが28392バイトで256kビットに納まるのでさらに安価なメモリを用いることができる。

図5はこの発明の第2の実施例である。この実施例では、 $K=12$ である。ブロック5A、5B、5Cは図2のブロックA～Cに対応する。

図6は、図5に示したデータ処理手順で生成される誤り訂正符号ブロックの構成を示している。

図7は、この発明の第3の実施例であり、先の実施例に比べて誤り訂正能力が高められている。図8は、図7に示したデータ処理手順で生成される誤り訂正符号ブロックの構成を示している。

即ち、記録するデータを1セクタ分の2048バイトずつ取り込み、セクタ番号やセクタ毎の誤り検出ワード(16バイト)を付加して2064バイトにする(ブロック7A参照)。そして、この2064バイトは、リードソロン誤り訂正符号ブロックメモリの1セクタ分である $(M+1)$ 行 $\times$  $(N+P)$ 列=13行 $\times$ 182列から、誤り訂正検査ワード格納部分を除いた $M$ 行 $\times$  $N$ 列=12行 $\times$ 172列=2064バイトの部分に格納する。

このようなデータが、 $K=18$ セクタ分、次々と格納される。

次に $K=18$ セクタ分の216行 $\times$ 172列分を格納した後、列毎に172列の各列が $(216+18)$ バイトのリードソロン符号語C2を形成するように演算を行って、12行毎に1行ずつ空白(図8に符号Xで示す部分)になっている12の行を埋める処理を行う(図7のブロック7B参照)。

次に、空白(X)の18行が埋められた234行 $\times$ 172列の各行毎に、誤り訂正検査ワード10バイトを付加して、234行の各行が $(172+10)$ バイトのリードソロン符号語C1を形成するようにして、図4に示す16セクタを単位とするリードソロン誤り訂正符号ブロックを構成する(図7のブロック7C参照)。

この実施例によると、先の実施例に比べて誤り訂正能力を高めることができる。

しかし冗長率は先にも述べたように先の実施例と異なることはない。

以上説明したようにこの発明によれば、半導体や記録・伝送技術の進歩に適合して、冗長率を一定に保ったままでもリードソロン誤り訂正符号ブロック全体の大きさを大きくして誤り訂正能力を高めることができる。

#### 産業上の利用可能性

以上説明したこの発明は、デジタルデータの記録・伝送に用いて好適し、記録再生システム、伝送受信システム、光学式ディスクのためのデータ処理システムに用いて有効な効果を得ることができる。

#### 修正書の請求の範囲

【1996年7月16日（16、07、96）国際事務局受理：出願当初の請求の範囲9及び10は修正された；他の請求の範囲は変更なし。（7頁）】

#### (1)

バイト単位でデジタルデータを処理し、1つの情報データブロックをM行×N列の(M×N)バイトで構成し、前記情報データブロック内では、バイト単位でデータを配置し、行毎には第0列から第(N-1)列のデータ伝送順で配置し、かつ第0行から第(M-1)行までデータ伝送順に一致させて配置する第1のステップと、

さらに、データ伝送順に連続するK個の情報データブロックで構成した(K×M)行×N列の行列ブロックを配置する第2のステップと、

この行列ブロックの(K×M)バイトの各列には誤り訂正用検査ワードKバイトを付加し、N列の各列を(K×(M+1))バイトのリードソロン符号語C2として形成する第3のステップと、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトを付加し、(K×(M+1))行の各行を(N+P)バイトのリードソロン符号語C1として形成する第4のステップとを有し、

#### (16)

WO 96/32718

#### (3)

前記第3のステップでは、(K×M)バイトの各列の末尾に誤り訂正用検査ワードKバイトを付加し、N列の各列が、前記(K×(M+1))バイトのリードソロン符号語C2を形成するようにした後に、列毎に、Kバイトの誤り訂正用検査ワードを情報データMバイト毎の位置に1バイトずつ分散配置しなしたことを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

#### (4)

前記第3のステップでは、(K×M)バイトの各列毎に付加する誤り訂正用検査ワードKバイトの各バイト位置が、Mバイト毎に1バイトの位置となるようにして前記(K×(M+1))バイトのリードソロン符号語C2を形成するようにしたことを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

#### (5)

前記M×Nが2054以上2064以下、前記Kが12以上の偶数、前記Pが10以上の偶数、前記K×(M+1)が255以下、前記N+Pが255以下であることを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

#### (6)

前記M=12、N=172、K=16、P=10であることを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

#### 変方法、

#### (7)

前記M=12、N=172、K=12、P=10であることを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

#### (8)

前記M=12、N=172、K=18、P=10であることを特徴とする請求項1又は2のいずれかに記載のデータ処理方法、

#### (9) (修正後)

バイト単位でデジタルデータを処理し、1つの情報データブロックをM行×N列の(M×N)バイトで構成し、前記情報データブロック内では、バイト単位で

全体のブロックとしては、K個の情報データブロック(K×M×N)バイトを情報部とする(K×(M+1)×(N+P))バイトのリードソロン誤り訂正符号ブロックが構成され、1情報データブロック(M×N)バイトとこれに付加される平均検査ワードバイト数との合計が、一定値(M+1)×(N+P)バイトになるように構成された誤り訂正値

符号ブロックを生成することを特徴とするデータ処理方法、

#### (2)

バイト単位でデジタルデータを処理し、1つの情報データブロックをM行×N列の(M×N)バイトで構成し、前記情報データブロック内では、バイト単位でデータを配置し、行毎には第0列から第(N-1)列のデータ伝送順で配置し、かつ第0行から第(M-1)行までデータ伝送順に一致させて配置する第1のステップと、

さらに、データ伝送順に連続するK個の情報データブロックで構成した(K×M)行×N列の行列ブロックを配置する第2のステップと、

この行列ブロックの(K×M)バイトの各列には誤り訂正用検査ワードKバイトを付加し、N列の各列を(K×(M+1))バイトのリードソロン符号語C2として形成する第3のステップと、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトを付加し、(K×(M+1))行の各行を(N+P)バイトのリードソロン符号語C1として形成する第4のステップとを有し、

全体のブロックとしては、K個の情報データブロック(K×M×N)バイトを情報部とする(K×(M+1)×(N+P))バイトのリードソロン誤り訂正符号ブロックが構成され、1情報データブロック(M×N)バイトとこれに付加される平均検査ワードバイト数との合計が、一定値(M+1)×(N+P)バイトになるように構成された誤り訂正値

符号ブロックを生成することを特徴とした記録媒体にデータを記録するためのデータ処理方法、

#### (17)

WO 96/32718

データを配置し、行毎には第0列から第(N-1)列のデータ伝送順で配置し、かつ第0行から第(M-1)行までデータ伝送順に一致させて配置し、

さらに、データ伝送順に連続するK個の情報データブロックで構成した(K×M)行×N列の行列ブロックを配置し、

この行列ブロックの(K×M)バイトの各列には誤り訂正用検査ワードKバイトを付加し、N列の各列を(K×(M+1))バイトのリードソロン符号語C2として形成し、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトを付加し、(K×(M+1))行の各行を(N+P)バイトのリードソロン符号語C1として形成し、

全体のブロックとしては、K個の情報データブロック(K

×M×N)バイトを情報部とする(K×(M+1)×(N+P))バイトのリードソロン誤り訂正符号ブロックが構成され、1情報データブロック(M×N)バイトとこれに付加される平均検査ワードバイト数との合計が、一定値(M+1)×(N+P)バイトになるように構成された誤り訂正符号ブロックを生成しており、

前記誤り訂正符号ブロックのデータが記録されていることを特徴とする記録媒体、

#### (10) (修正後)

バイト単位でデジタルデータを処理し、1つの情報データブロックをM行×N列の(M×N)バイトで構成し、前記情報データブロック内では、バイト単位でデータを配置し、行毎には第0列から第(N-1)列のデータ伝送順で配置し、かつ第0行から第(M-1)行までデータ伝送順に一致させて配置し、

さらに、データ伝送順に連続するK個の情報データブロックで構成した(K×M)行×N列の行列ブロックを配置し、

この行列ブロックの(K×M)バイトの各列には誤り訂正用検査ワードKバイトを付加し、N列の各列を(K×(M+1))バイトのリードソロン符号語C2として形成し、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトを付加し、 $(K \times (M+1))$  行の各行を  $(N+P)$  バイトのリードソロモン符号語C1として形成し、

全体のブロックとしては、K個の情報データブロック  $(K \times M \times N)$  バイトを情報部とする  $(K \times (M+1) \times (N+P))$  バイトのリードソロモン誤り訂正符号ブロックが構成され、1情報データブロック  $(M \times N)$  バイトとこれに付加される平均検査ワードバイト数との合計が、一定値  $(M+1) \times (N+P)$  バイトになるように構成された誤り訂正符号ブロックを生成しており、

前記誤り訂正符号ブロックの前記  $(M \times N)$  バイトの1つの情報データブロックが1セクタに対応されて記録されていることを特徴とする記録媒体、

#### (11) (前記後)

バイト単位でデジタルデータの処理が行われ、1つの情報データブロックがM行  $\times$  N列の  $(M \times N)$  バイトで構成され、

前記情報データブロック内は、バイト単位でデータが配置されるもので、行毎には第0列から第  $(N-1)$  列のデータ伝送順で配列され、かつ第0行から第  $(M-1)$  行までデータ伝送順に一致させて配置され、

さらに、データ伝送順に連続するK個の情報データブロックで構成される  $(K \times M)$  行  $\times$  N列の行列ブロックが配置され、

この行列ブロックの  $(K \times M)$  バイトの各列には誤り訂正用検査ワードKバイトが付加され、そしてN列の各列が  $(K \times (M+1))$  バイトのリードソロモン符号語C2として形成され、

さらにNバイトの各行毎に誤り訂正用検査ワードPバイトが付加され、 $(K \times (M+1))$  行の各行が  $(N+P)$  バイトのリードソロモン符号語C1として形成され、

全体としてブロックとしては、K個の情報データブロック  $(K \times M \times N)$  バイトを情報部とする  $(K \times (M+1) \times (N+P))$  バイトのリードソロモン誤り訂正符号ブロックが構成され、1情報データブロック  $(M \times N)$  バイトとこれに付加される平均検査ワードバイト数との合計が、一定値  $(M+1) \times (N+P)$  バイトになるように構成された誤り訂正符号ブロックを生成する手段を有したことを特徴とするデータ処理装置、

#### (12)

前記誤り訂正符号ブロックを処理する手段は、通信装置又はディスクへのデータ記録装置または誤り訂正処理装置のいずれかに設けられていることを特徴とする請求項1に記載のデータ処理装置。

【図1】

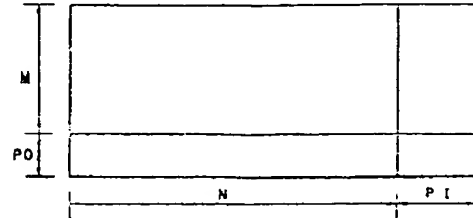


FIG. 1 (従来例)

【図2】

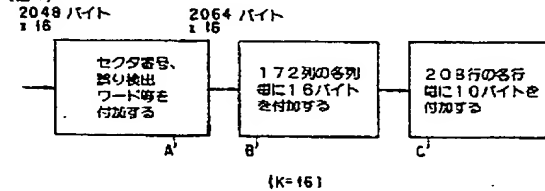


FIG. 2

【図3】

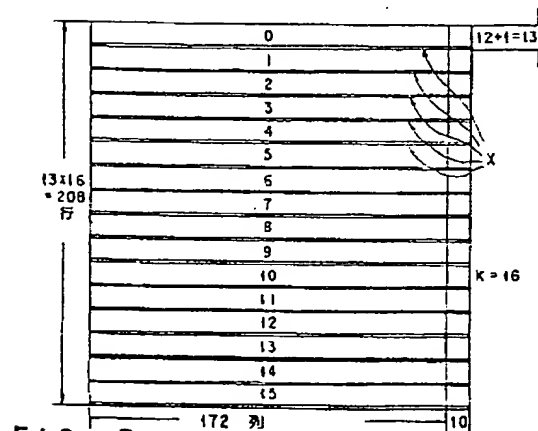


FIG. 3

【図4】

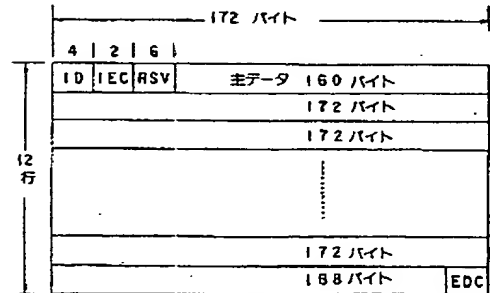


FIG. 4 セクタ構成

【図5】

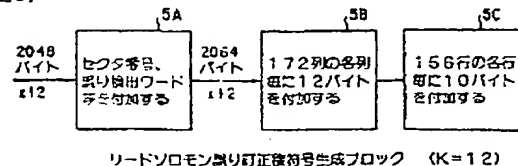


FIG. 5

[図6]

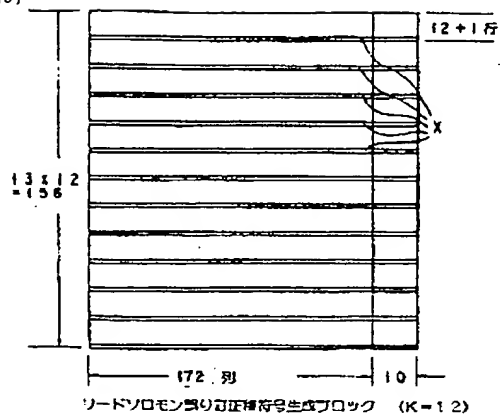


FIG. 6

[図7]

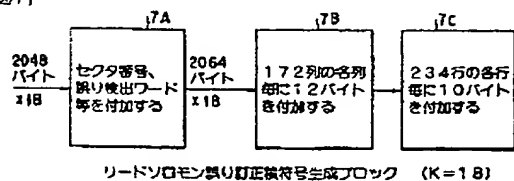


FIG. 7

[図8]

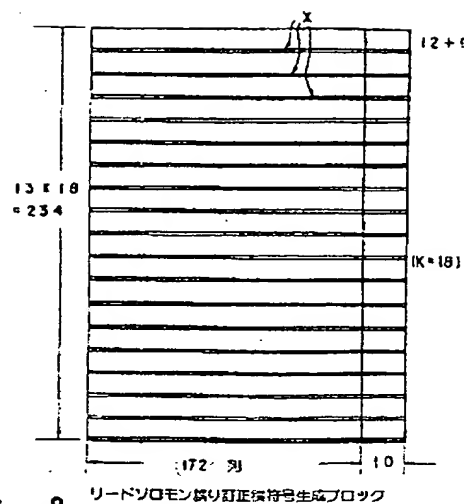


FIG. 8



## 【国際調査報告】

国際調査報告		国際出願番号 PCT/JP96/00958
A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. G11B20/12, G11B20/18, H03M13/00		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. G11B20/12, G11B20/18, H03M13/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1526-1996年 日本国公開実用新案公報 1971-1996年 日本国登録実用新案公報 1994-1996年		
国際調査で利用した電子データベース (データベースの名称、調査に使用した用字)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 63-23274, A (ソニー株式会社) 30, 1月, 1988 (30, 01, 88), 第2頁右下欄第5行-第3頁右下欄第8行, 第1図 (ファミリーなし)	1-2, 5-12 3, 4
Y	JP, 5-122197, A (日本放送協会) 18, 5月, 1993 (18, 05, 93), 第4欄第19行-第39行, 第4図 & EP, 540007, A & US, 5432800, A	3, 4
A	JP, 62-171324, A (ソニー株式会社) 28, 7月, 1987 (28, 07, 87), 第1頁左上欄第6行-右下欄第13行 & EP, 232093, A & US, 4813236, A	1-12
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に基礎を置ける文献又は他の文献の発行者若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の範囲又は理解の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日	02.05.96	国際調査報告の発送日 14.05.96
国際調査機関の名称及び先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区麹町三丁目4番3号	特許庁審査官 (制限のある職員) 早川 卓哉 電話番号 03-3581-1101 内線3553	5D 9295

様式PCT/ISA/210 (第2ページ) (1992年7月)

---

フロントページの続き

(72)発明者 弓場 隆司

大阪府大阪市東淀川区豊里2-1-3-

1202

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。